

基于 ispLSI 器件的 DRAM 控制器的设计(一)

曾晓洋 王晓东 魏仲慧

(中国科学院长春光学精密机械研究所光学工程中心 长春 130022)

摘要 对空间应用的大容量固态图像存贮器联试结果进行了分析。为提高系统的集成度和抗干扰性,我们采用了 ispLSI 器件对该系统的 DRAM 控制器进行改进设计。详细分析了基于 ispLSI 器件,利用 ISP Synario System 软件进行设计的过程,并给出了微机上的仿真结果。

关键词 固态图像存贮器 ispLSI 器件 DRAM 控制器 ISP Synario System

1 引言

对于空间遥感图像,其精度越高,数据量就越大。数字图像的数据量之大,为图像处理系统带来了许多问题。其中图像数据的存贮是一个关键性问题。

根据实际工作情况,我们需要大容量、低功耗、小体积、轻质量、而且能随机存取的图像存贮器。它不适于使用磁带机,只能寻求采用半导体固态数据存贮方法。半导体固态存贮器具有体积小、质量轻、容量大、传输速率高且能随机存取的优良性能^[1],它是具有无限应用前景的最新数据存贮技术,已成为空间图像数据存贮领域的主要技术发展方向。对于研制大容量的高性能数据存贮系统,DRAM 是必然选择的基本存贮单元器件。但是采用 DRAM 构成图像存贮器,系统设计很复杂,复杂的系统设计便会增加系统的集成度和降低系统的抗干扰性。

2 固态图像存贮器原理样机桌面联调结果分析

固态图像存贮器系统硬件电路设计、调试好后,我们对其进行了功能仿真。经过桌面联调实验可得出结论:设计采用 DRAM 构成存贮体的固态图像存贮器系统能够完成大容量图像数据随机高速率写入并存贮以及随机发送的功能。存贮器的各项性能指标基本符合要求。本存贮器容量为1.5 Gb,图像数据写入速率可达160 Mbps,数据发送可以提供5 M × 16bits 的并行数据输出,存贮器系统功耗小于10W。但同时也存在一些问题:(1)系统的集成化状况,由于

该固态图像存储器应用于空间, 这样便需系统具有很高的集成度, 以减小体积与质量; (2) 联试过程中出现的干扰问题, 究其原因众多。其中设计电路板上的众多芯片间电信号的相互干扰也应是不可忽视的。

随着 EDA 软件技术和半导体技术的不断发展, 为满足高集成度和高可靠性的要求, 采用高密度的可编程逻辑器件作为航天数字电子系统控制逻辑和功能逻辑的实现, 进行模块化设计已经成为必然。

在固态存储器的设计中, 为实现模块化设计, 提高系统的集成度和可靠性, 对存储器功能和逻辑控制采用高密度可编程逻辑器件进行设计。我们使用从美国 Lattice 公司购买的一套 ISP Synario System 软件以及该公司的 ispLSI 系列器件进行这方面的工作。

3 基于 ispLSI 器件的存储器控制器电路设计

3.1 图像存储器控制器电路原理组成

图像存储器系统主要由 CPU 接口电路, DRAM 阵列构成的存储体, 输入/输出接口, DRAM 控制器和地址发生器六部分组成。DRAM 控制器是存储器系统的控制中枢, 它包括系统初始化电路, 刷新电路, 时序发生电路, 仲裁电路和地址多路器。其组成框图, 如图 1 所示。

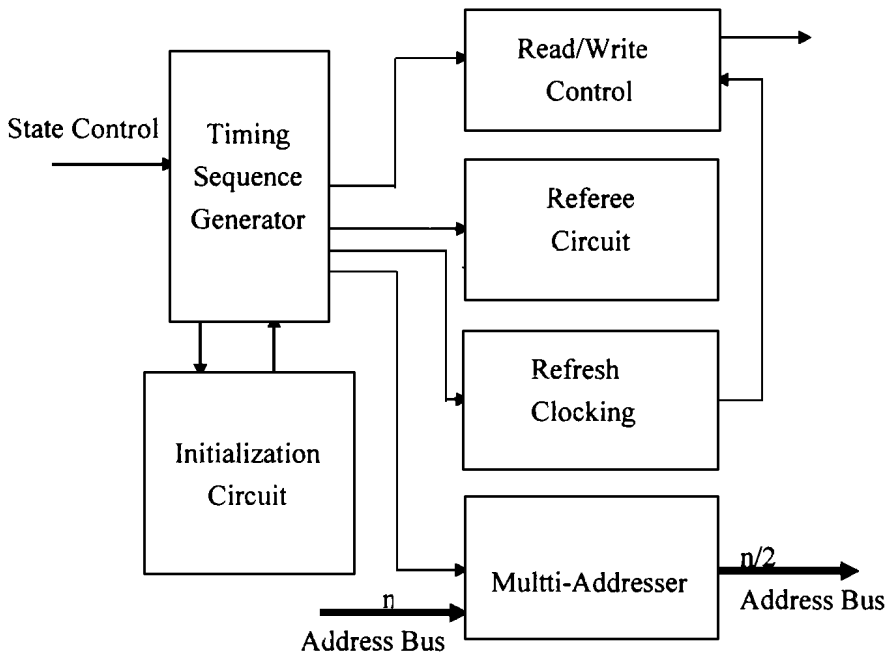


Fig. 1 Structure diagram of the DRAM controller

3.2 基于 ispLSI 器件的 DRAM 控制器的设计

存储器的原理样机与相关系统联调后, 我们采用了基于 ispLSI 器件的 ISP synario system 软件对控制电路做了一些改进设计。

3.2.1 ISP synario system 设计套件简介

ISP synario system 设计套件包括进行 Lattice 的 ispLSI 器件设计所必需的软件、硬件、样片和文档^[2]。是一套基于 synario 软件的可编程逻辑器件的设计系统。它支持 ispLSI 器件的设计、编译和逻辑模拟。

ISP synario system 包括了 Data I/O 的 synario 输入软件的全部功能: 即原理图输入和 ABEL 硬件描述语言 (ABEL Hardware Describe Language 简称为 ABEL-HDL) 输入, 并且还包括功能模拟器和波形显示器。Data I/O 强有力 Project Navigator 更为设计和调试提供了方便。ISP synario system 的混合式设计输入模式允许在同一器件的设计中同时采用原理图、高级语言、真值表和状态机输入方式, 从而使设计十分灵活简。Synario 的 Project Navigator 是一种设计管理器, 它将各种原文件联系在一起, 以便于跟踪软件运行流程。利用 Lattice 的 PDS+ synario 适配软件 (Fitter) 进行多层次的逻辑总综合, 能将逻辑映射到器件中去, 自动完成布局与布线, 并生成编程所需熔丝图文件, 还能针对性能和器件利用率进行设计优化^[3]。

ISP synario system 还包括用于在系统编程的菊花链烧录软件 (ISP Daisy Chain Download)。

3.2.2 使用 ispLSI 器件进行逻辑设计的过程分析

逻辑设计流程包括下列步骤: 设计输入、设计编译、片内布线布局、功能与时序仿真、器件编程等。如图 2 示。

(a) 设计输入

Synario 项目管理器的重要功能便是进行层次化操作, 它能简化层次化设计的操作, 使设计变得简单明了和利于理解、修改。实现了结构化的设计思想。首先按控制电路的原理实现将整个控制电路分成高低几个逻辑关系层。对各部分逻辑关系的设计输入使用原理图与 ABEL 硬件描述语言 (ABEL-HDL) 混合进行描述。

(b) 逻辑设计的编译

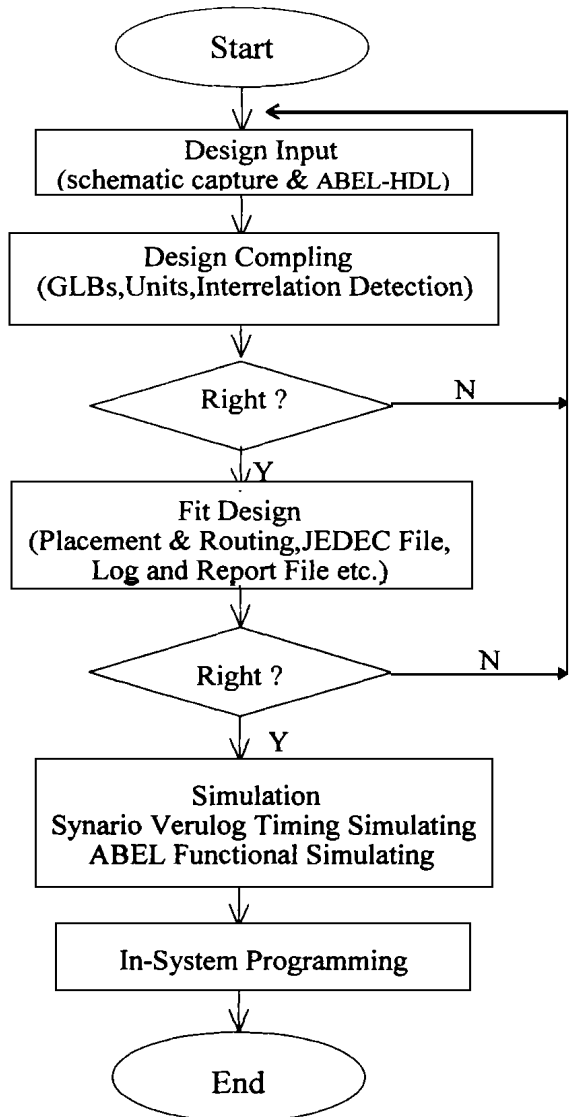


Fig. 2 Follow chart of logic design

首先按控制电路的原理实现将整个控制电路分成高低几个逻辑关系层。对各部分逻辑关系的设计输入使用原理图与 ABEL 硬件描述语言 (ABEL-HDL) 混合进行描述。

设计输入完成后,我们便可进行逻辑设计的编译。编译过程即为逻辑设计的逻辑验证过程。其过程分两步:先是对每个 GLB 和单元单独进行验证。所谓单元验证是仅对单个单元进行局部性检查,主要针对语法检查及逻辑错误检查;设计输入一旦完成,下一步便是设计验证,设计验证对事先未经校验的单元进行检验,然后再检查设计中的互连关系。

(c) 片内布线布局

编译通过后即可进行布线与布局。在该系统中即为 Fit Design 的过程。布局与布线软件会四处移动 GLB 和单元,以使得用户所输入的逻辑设计线路能在片内连通。用户如想将某些信号连接在指定的引脚上,则可使用软件的管脚锁定功能。除端口锁定需人工干预外,所有的布局和布线过程均是自动完成。由于芯片的功能通过集中布线区而获得优化,布局布线的运行效率很高,一般只需数秒钟。

软件的利用布通线来产生 JEDEC 文件,JEDEC 文件中含有器件编程所需的全部数据,其文件名后缀为 .JED。熔丝图的产生也是自动的。软件设计的过程还会产生一个 PDS+ Fitter 报告,该报告对芯片的资源利用情况,逻辑设计的编译结果,以及管脚指定等情况作出分析。

(d) 器件编程

由于 ispLSI 器件是在系统可编程的,对其进行编程只需一根 5 芯串行电缆,通过它将 JED 文件数据从 PC 机的并行口送到目标系统的线路板上。在本控制电路中,被编程的为 2 片 ispLSI1032 芯片。

3.3 仿真结果

控制器提供 DRAM 工作时的基本控制信号和时序信号。它们包括时序定时发生器时序、初始化电路时序、刷新定时器时序等。

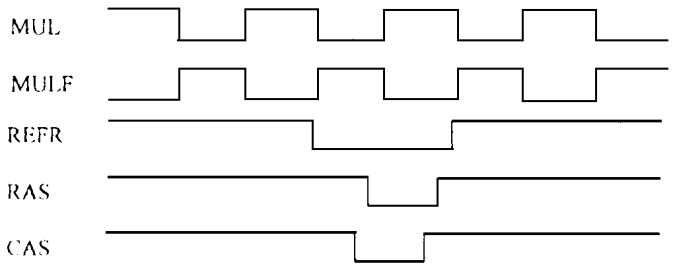


Fig. 3 Refresh timing sequence

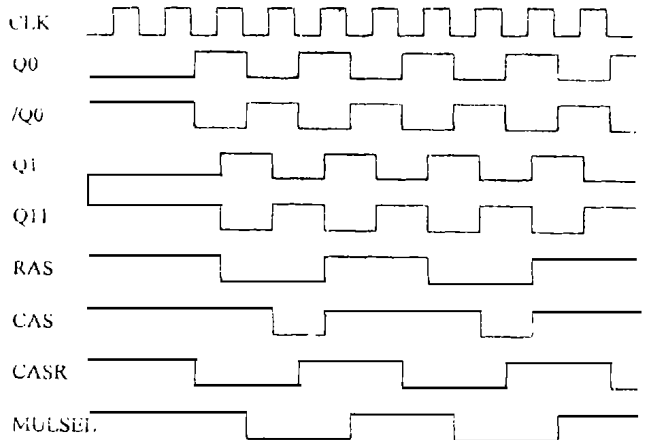


Fig. 4 Clocking generator timing sequence

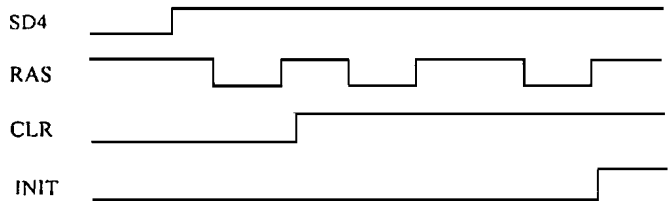


Fig. 5 Initialization timing sequence

在设计过程中,我们进行了功能仿真和时序仿真。仿真的结果都表明:使用 ispLSI1032 芯片进行的设计达到了预期的功能要求。而且使用器件数量大大减少,使系统体积大为缩小,这对于提高系统的集成度和可靠性均有好处。

采用 ispLSI1032 芯片设计的控制电路的功能仿真时序如以下各图:

4 结 论

实际设计工作表明:采用 ispLSI 在系统可编程逻辑器件进行存储器控制器电路设计,能够使我们存储器系统的体积与质量大为减小,抗干扰性大为提高,于是这种器件在空间应用上大有前途;而且设计与调试周期大大缩短:整个过程(包括设计输入、编译、仿真和器件编程)在几个小时内便可完成;由于是在系统编程,还省掉了以往在烧录可编程逻辑器件时的编程器。

参 考 文 献

- 1 Strauss Karl F, Stockton Grant J. The Cassini solid-state recorder: a high-capacity, radiation-torlant, high-performance Unit. Proc SPIE 1996, 2803: 259 ~ 270
- 2 Lattice Semiconductor Corp. Lattice Semiconductor Data Book. 1996
- 3 Lattice Semiconductor Corp. ispDS+ User Manual. 1996
- 4 Lattice Semiconductor Corp. Introduction to ISP Synario System. 1996

The Design of the DRAM Controller Based on ispLSI Devices (1)

ZENG Xiao-Yang WANG Xiao-Dong WEI Zhong-Hui
(Changchun Institute of Optics and Fine Mechanics,
Chinese Academy of Sciences. Changchun 130022)

Abstract

In the paper, some analysis is described with regard to the experiment results of the large capacity solid-state image recorder in space application. To advance the reliability and integration level of the recorder system, we present the modified design of the DRAM controller based on ispLSI devices. We describe the procedure of the logic design based on ispLSI devices and ISP Synario System in detail. Furthermore, we present the emulation results of the controller through Personal Computer.

Key words: Solid-state image recorder, ispLSI, DRAM controller, ISP Synario System

曾晓洋 男, 1972年5月生。1996年毕业于湘潭大学机械系, 获学士学位, 同年进入中国科学院长春光机所攻读机电控制及自动化专业硕士学位, 1998年提前攻读博士学位。从事电子学及计算机应用的研究开发工作。